

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-007340

(43)Date of publication of application : 10.01.1995

(51)Int.Cl.

H03F 3/45
H03F 3/345

(21)Application number : 05-142472

(71)Applicant : NEC CORP

(22)Date of filing : 15.06.1993

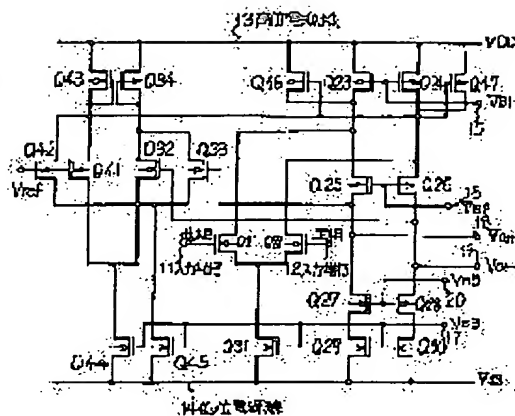
(72)Inventor : MARU TSUGIO

(54) FULLY DIFFERENTIAL AMPLIFIER

(57)Abstract:

PURPOSE: To obtain the speeding-up of a circuit by reducing the impedance of a common mode feedback circuit as well concerning the fully differential amplifier which eliminates the influence of parasitic capacity by reducing impedances at the respective junctions of a core amplifier.

CONSTITUTION: A transistor Q43 calculates the sum current of output currents from differential pairs to input a reference potential V_{ref} and a positive output $V0(+)$ and output currents from differential pairs to input the reference potential V_{ref} and a negative output $V0(-)$. The sum current is added to the bias current of the positive load (transistors Q23 and Q24) of the differential amplifier composed of transistors Q21/Q22 by the current mirror connection of transistors Q43, Q46 and Q47 so as to constitute a feedback loop. Then, the common mode output potential of the differential amplifier and the reference potential V_{ref} are controlled so as to be equalized.



LEGAL STATUS

[Date of request for examination]	15.06.1993
[Date of sending the examiner's decision of rejection]	20.02.1996
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]	
[Date of final disposal for application]	
[Patent number]	2656714
[Date of registration]	30.05.1997
[Number of appeal against examiner's decision of rejection]	08-03867
[Date of requesting appeal against examiner's decision of rejection]	21.03.1996
[Date of extinction of right]	30.05.2002

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 7 - 7 3 4 0

(43) 公開日 平成7年(1995)1月10日

(51) Int. Cl. 6

識別記号

庁内整理番号

F I

技術表示箇所

H 0 3 F 3/45

A 7436-5 J

3/345

B 8124-5 J

審査請求

有

請求項の数 3

O L

(全 7 頁)

(21) 出願番号 特願平5-142472

(22) 出願日 平成5年(1993)6月15日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 丸 次夫

東京都港区芝五丁目7番1号 日本電気株式会社内

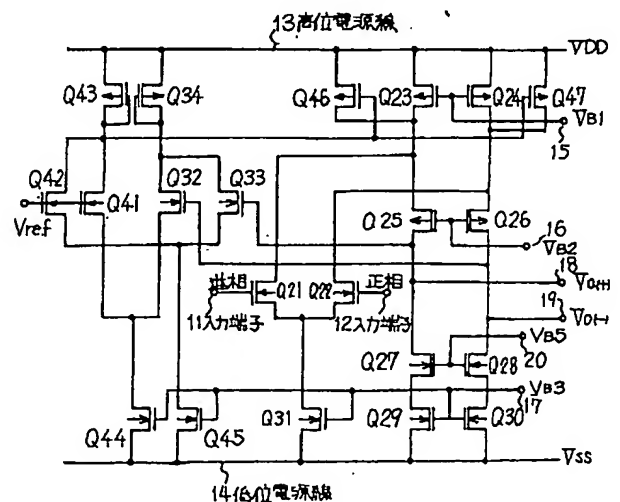
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 全差動増幅器

(57) 【要約】

【目的】 コアアンプの各接続点を低インピーダンス化し寄生容量の影響をなくした全差動増幅器において、コモンモードフィードバック回路も低インピーダンス化し、従来この回路が高速化を阻害していたという問題を解決する。

【構成】 基準電位 V_{ref} と正出力 $V_{o(+)}$ とを入力とする差動対の出力電流と、基準電位 V_{ref} と負出力 $V_{o(-)}$ とを入力とする差動対の出力電流との和電流をトランジスタ $Q43$ により求める。和電流を、トランジスタ $Q43$ とトランジスタ $Q46$ とトランジスタ $Q47$ とのカレントミラー接続により、トランジスタ $Q21/Q22$ で構成される差動増幅器の能動負荷（トランジスタ $Q23$ 及び $Q24$ ）のバイアス電流に加えるようにして、フィードバックループを構成し、差動増幅器のコモンモード出力電位と基準電位 V_{ref} とが等しくなるように制御する。



15, 16, 17, 20 電圧端子
18, 19 出力端子

【特許請求の範囲】

【請求項 1】 能動負荷を備えた差動増幅器の正負両出力端子の動作点電圧をコモンモードフィードバック回路で設定するように構成された全差動増幅器において、前記コモンモードフィードバック回路が、外部から与えられる基準電位と前記差動増幅器の正出力電位とを入力とする第 1 の差動対と、前記基準電位と前記差動増幅器の負出力電位とを入力とする第 2 の差動対と、前記第 1 の差動対の出力電流と前記第 2 の差動対の出力電流との和電流を前記差動増幅器の能動負荷のバイアス電流に加える和電流帰還手段とを含んでなり、前記差動増幅器のコモンモード出力電位と前記基準電位との差異を前記電流を介して前記差動増幅器に電流帰還することにより、前記差動増幅器のコモンモード出力電位と前記基準電位とが等しくなるように制御する構成であることを特徴とする全差動増幅器。

【請求項 2】 請求項 1 記載の全差動増幅器において、前記和電流帰還手段が、前記第 1 の差動対および前記第 2 の差動対の共通の能動負荷となる第 1 のトランジスタと、それぞれ前記差動増幅器の能動負荷用の第 2 および第 3 のトランジスタのそれぞれに並列に設けられた第 4 および第 5 のトランジスタとからなり、前記第 1、第 4 および第 5 のトランジスタがカレントミラー回路をなすように接続されていることを特徴とする全差動増幅器。

【請求項 3】 請求項 1 記載の全差動増幅器において、前記和電流帰還手段が、前記第 1 の差動対および前記第 2 の差動対の共通の能動負荷となる第 1 のトランジスタと、前記差動増幅器の能動負荷用の第 2 および第 3 のトランジスタとからなり、前記第 1、第 2 および第 3 のトランジスタがカレントミラー回路をなすように接続されていることを特徴とする全差動増幅器。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は全差動増幅器に関し特に、能動負荷を備え正負両出力端子の動作点電位をコモンモードフィードバック回路で制御するように構成された型の全差動増幅器に関する。

【0002】

【従来の技術】 全差動増幅器のコモンモードフィードバック回路は、全差動増幅器の正負両出力端子の動作電位を設定する為のもので、例えば、シー・テームズ (C. TERMES), アナログ・モス・インテグレイテッド・フォー・シグナル・プロセッシング (ANALOG MOS INTEGRATED CIRCUITS FOR SIGNAL PROCESING), 第 254 ~ 第 256 頁, ワイリー・インターサイエンス・パブリケーション (A WILEY-INTERSCIENCE PUBLICATION), 1986 に記載されてい

る。しかし上記文献に記載された回路では、正の電源線と負の電源線との間に多数のトランジスタが直列接続されているために出力動作範囲が狭くなることや、また出力電位を任意に設定するためには素子面積を調整する必要がある等、設計が複雑であるといった問題があった。

【0003】 そこで、これらを改善したコモンモードフィードバック回路として、全差動増幅器の正負両出力端子電圧の midpoint (コモンモード出力電位) を検出して基準電位と比較し、その出力でコモンモード出力電位が基準電位と等しくなるように、全差動増幅器の能動負荷となるトランジスタの制御電極に帰還をかける方法が考えられている。しかしカスコードタイプの全差動増幅器の場合、出力端子に直接抵抗を接続し抵抗分割によって midpoint を検出すると、利得が劣化しカスコードタイプの特徴を生かしきれない。そこで、高入力インピーダンスのバッファでいったん受けてから抵抗分割あるいは電流加算によりコモンモード出力電位を検出する方法が考えられている。このような技術を用いた従来の全差動増幅器について、特開平 1-126811 号公報に開示された電流加算による方法を適用した差動増幅器を用いて説明する。

【0004】 図 4 は上記公報に記載された全差動増幅器の回路図である。同図において、電圧制御電流回路 100 および 200 は出力端子 19 および 18 に接続され、それぞれ出力電圧を電流に変換する。その結果生じた出力電流は和電流となって和電流伝達回路 300 に流れ、基準電流伝達回路 400 で発生した基準電流と A 節点で比較される。その結果、全差動増幅器の能動負荷の一部であるトランジスタ Q27/Q28 のゲート電位を制御する帰還動作が得られる。この帰還動作により、コモンモード出力電位が基準電位 V_{ref} と等しくなる。

【0005】

【発明が解決しようとする課題】 この従来の全差動増幅器は、コアンプ 500 を見ると、トランジスタ Q23 のドレイン電極とトランジスタ Q25 のソース電極との接続点およびトランジスタ Q24 のドレイン電極とトランジスタ Q26 のソース電極との接続点が、トランジスタ Q25 および Q26 がゲート接地されていることにより低インピーダンス化されているので、寄生容量によって生じる高次の極が高い周波数へ移動し、低負荷容量 C_L によって出来る一次の極で十分位相マージンが得られる。その結果、高速動作に適した高い遮断周波数 f_r のコアンプとなっている。

【0006】 しかし、コモンモードフィードバック回路を見ると、抵抗 $R1/R2$ に並列につくトランジスタ Q32/Q33 のソース容量 $C1/C2$ やコモンモードフィードバック回路により帰還をかける為の制御電極であるトランジスタ Q27/Q28 のゲート容量 $C3$ の為、コモンモードループにおける高次の極が低い周波へ移る。その結果、コアンプ 500 の位相マージンが十分

にあるのにもかかわらず、コモンモードフィードバック回路で位相マージンをかせぐため負荷容量 C_L を増加させる必要があった。従って f_T が低くなり高速動作が実現出来なかった。

【0007】このことは抵抗分割によるコモンモード出力検出方法にもいえる。すなわち、抵抗分割によって生じた電圧を入力するトランジスタのゲート容量と分割用抵抗とによってコモンモードループにおける高次の極が低い周波数へ移り、その結果コモンモードフィードバック回路での位相マージンをかせぐ為には負荷容量 C_L を増加させなくてはならなくなる。

【0008】従って、本発明の目的は、上述のようにコアンプで十分高速動作が可能であるにもかかわらず、コモンモードフィードバック回路で高速動作が阻害されるという問題を解消して、高速性に優れた全差動増幅器を提供することである。

【0009】

【課題を解決するための手段】本発明の全差動増幅器は、能動負荷を備えた差動増幅器の正負両出力端子の動作点電圧をコモンモードフィードバック回路で設定するように構成された全差動増幅器において、前記コモンモードフィードバック回路が、外部から与えられる基準電位と前記差動増幅器の正出力電位とを入力とする第1の差動対と、前記基準電位と前記差動増幅器の負出力電位とを入力とする第2の差動対と、前記第1の差動対の出力電流と前記第2の差動対の出力電流との和電流を前記差動増幅器の能動負荷のバイアス電流に加える和電流帰還手段とを含んでなり、前記差動増幅器のコモンモード出力電位と前記基準電位との差異を前記和電流を介して前記差動増幅器に電流帰還することにより、前記差動増幅器のコモンモード出力電位と前記基準電位とが等しくなるように制御する構成であることを特徴とする全差動増幅器となっている。

【0010】

【実施例】次に、本発明の好適な実施例について図面を参照して説明する。図1は、本発明の第1の実施例の回路図である。同図において、入力端子11には逆相入力が供給され、入力端子12には正相入力供給される。入力端子11/12はそれぞれ、nチャネルMOSトランジスタQ21/Q22のゲート電極に接続されている。トランジスタQ21/Q22は、ソース電極が共通にnチャネルMOSトランジスタQ31のドレイン電極に接続され、ドレイン電極がそれぞれpチャネルMOSトランジスタQ23/Q24のドレイン電極に接続されている。トランジスタQ23/Q24のソース電極は高位電源線13に接続される。またトランジスタQ23/Q24のドレイン電極はそれぞれpチャネルMOSトラ*

*ンジスタQ25/Q26のソース電極に接続される。トランジスタQ25/Q26は、ドレイン電極がnチャネルMOSトランジスタQ27/Q28のドレイン電極に接続されるとともにnチャネルMOSトランジスタQ33/Q32のゲート電極に接続される。トランジスタQ27/Q28のソース電極はnチャネルMOSトランジスタQ29/Q30のドレイン電極に接続され、トランジスタQ29/Q31及びトランジスタQ31のソース電極は低位電源線14に接続されている。

10 【0011】上記のトランジスタQ21~Q30は、全差動増幅器のコアの部分を構成しており、そのうちトランジスタQ23/Q24は能動負荷回路を構成している。トランジスタQ23/Q24の共通ゲート電極には電圧端子15を介してバイアス電位 V_{B1} が与えられ、トランジスタQ25/Q26の共通ゲート電極には電圧端子16を介してバイアス電位 V_{B2} が与えられ、トランジスタQ27/Q28の共通ゲート電極には電圧端子20を介してバイアス電位 V_{B5} が与えられ、トランジスタQ29、Q30、Q31、Q44およびQ45のゲート電極には電圧端子17を介してバイアス電位 V_{B3} が供給される。

20 【0012】トランジスタQ25/Q26のそれぞれのソース電極に接続された出力端子18および19からは、それぞれ正出力 $V_{O(+)}$ および負出力 $V_{O(-)}$ が取り出される。更に、この出力はnチャネルMOSトランジスタQ33/Q42及びnチャネルMOSトランジスタQ32/Q41からなる二つの差動対により基準電圧 V_{ref} と比較される。各差動対の出力電流は、共通の能動負荷であるpチャネルMOSトランジスタQ43で電流加算される。

30 【0013】ここで、上記構成におけるフィードバック動作について説明する。一般に、MOSトランジスタで構成された差動増幅器（一例として、図1において、対接続のトランジスタQ32/Q41と、能動負荷のトランジスタQ43と、定電流源のnチャネルMOSトランジスタQ44とで構成される）において、出力電流 I_{O1} （トランジスタQ43を流れる電流）と入力電圧差 V_{id} （基準電位 V_{ref} とコアンプの逆相出力 $V_{O(-)}$ との電圧差）との関係は、例えば、シー・トウメイゾウ（C. T. OUMAZOU）、アナログ・アイシー・デザイン：カーレントモード・アプローチ（ANALOGUE IC DESIGN: THE CURRENT-MODE APPROACH）、第183および第235~第238頁、ピーター・ペリグリナス・リミテッド（PETER PEREGRINUS LTD.）、1990に記載されているように、

$$I_{O1} = (2 \cdot I_{SS} \cdot K)^{1/2} \cdot V_{id} \cdot [1 - (K/2 \cdot I_{SS}) \cdot V_{id}^2]^{1/2}$$

で表される。

【0014】尚、上式において、 $2 \cdot I_{SS}$ は定電流源の

トランジスタQ44を流れる電流値であり又、Kは下記の式で定義される。

$$K = \mu \cdot C_{ox} \cdot W / [2 \cdot (1 + \delta) \cdot L]$$

但し、 μ ; MOSトランジスタのキャリアの移動度

C_{ox} ; 単位面積当りのゲート酸化膜容量

W ; チャネル幅

L ; チャネル長

δ ; 補正係数 (≈ 0)

上式によれば、 I_{o1} は、 $[1 - (K/2 \cdot I_{ss}) \cdot V_{id}^2]^{1/2}$ が V_{id} に関して偶関数であるので、 V_{id} に関し奇関数となる。そして、この出力電流 I_{o1} は入力電圧差 V_{id} に対してリニアではないが、コモンモード出力電位すなわちトランジスタ $Q21/Q22$ を含むコアアンプの正相出力と逆相出力との和の $1/2$ の電位のずれが小さい場合には、以下に述べるように、 I_{o1} が V_{id} の奇関数であることを利用して、基準電位 V_{ref} とコモンモード出力電位との差をフィードバック量とするフィードバックループを構成することができる。

【0015】図1において、MOSトランジスタ $Q32/Q41$ およびトランジスタ $Q33/Q42$ で構成される二つの差動対を考える。まず、基準電位 V_{ref} とコモンモード出力電位とが等しいとき、トランジスタ $Q32/Q41$ からなる差動対の入力電位差を V_{id} とすると、トランジスタ $Q33/Q42$ からなる差動対の入力電位差は $-V_{id}$ となる。従って、それぞれ入力電位差に対して奇関数である上記二つの差動対の出力電流 I_{o1} および I_{o2} は互いに符号が異なり相殺し合うことになり、それらの和電流 I 。 (トランジスタ $Q43$ を流れる電流 $= I_{o1} + I_{o2}$) は、無入力状態での値と同じ値で変化しない。すなわち、正常動作に悪影響を与えるようなことはしない。

【0016】次に、基準電位 V_{ref} とコモンモード出力電位とが異なり、コモンモード出力電位が基準電位 V_{ref} より高くなると、トランジスタ $Q43$ の電流は減少する。この場合、出力振幅が小さい領域ではリニア動作で近似できるので、基準電位とコモンモード出力電位との差の検出を問題なく実現できる。一方、出力振幅が大きい領域ではリニア近似はできないが、このとき基準電位とコモンモード出力電位との差電圧 ΔV が振幅に対して小さければ、その振幅における微係数を考えればよい。ここで、奇関数の微係数は偶関数であるので、符号が異なり絶対値が等しい上記二つの差動対のそれぞれの出力電流の微分は等しくなる。従って、差電圧 ΔV によって生じる出力電流の和電流は差電圧 ΔV に比例する。但し、振幅に対する微係数が異なっているのでフィードバック量は振幅によって変化することになるが、フィードバックループにおけるループゲインが十分大きいので、それによる正相および逆相出力への影響は無視できる。このようにして、基準電位 V_{ref} とコモンモード出力電位との差をフィードバック量とするフィードバックループが構成されている。

【0017】ここで図1に示すように本実施例では、ト

ランジスタ $Q43$ と $Q46$ 及び $Q47$ とはカーレントミラー構成になっており、且つトランジスタ $Q46/Q47$ のドレイン電極はトランジスタ $Q23/Q24$ のドレイン電極に接続されている。したがって、トランジスタ $Q43$ の電流が減少すればトランジスタ $Q46/Q47$ の電流が減少しコアアンプでのバイアス電流が減少することによって出力のコモンモード出力電位は低くなる。逆に、コモンモード出力電位が基準電位 V_{ref} より低くなった場合は、同様に考えて、コモンモード出力電位が高くなるというように帰還動作が得られ、コモンモード出力電位が常に基準電位 V_{ref} と等しくなる。

【0018】次にコモンモードループにおける高次の極について見ると、本実施例では、従来の全差動増幅器とは異なってコモンモード出力電位検出用に抵抗を使用していないので、抵抗に並列につく寄生容量の影響を受けない。また、コモンモードフィードバック回路による帰還をカレントミラー構成により電流でかけているので、制御電極であるトランジスタのゲート容量の影響を受けない。すなわち、図1において、トランジスタ $Q43$ のドレイン電極と二つのトランジスタ $Q41/Q42$ のドレイン電極との接続点および、トランジスタ $Q34$ のドレイン電極と二つのトランジスタ $Q32/Q33$ のドレイン電極との接続点を見ると、それぞれの接続点の抵抗がトランジスタ $Q43$ およびトランジスタ $Q34$ によって、 $1/g_m$ (g_m は、相互コンダクタンス) となり低抵抗で構成されているので、低インピーダンス化されていることが分る。従って、寄生容量によって生じる高次の極が高い周波数へ移動する。このことは、各差動対の電流源への接続点についてもいえる。定電流源トランジスタ $Q44$ と差動対トランジスタ $Q32/Q41$ との接続点および、定電流源トランジスタ $Q45$ と差動対トランジスタ $Q33/Q42$ との接続点を見ると、基準電位 V_{ref} は固定されているので各接続点からみて、トランジスタ $Q41$ およびトランジスタ $Q42$ がゲート接地の構成で低入力インピーダンスに見え、従って、それぞれの接続点は低入力インピーダンス化されている。

【0019】次に、本発明の第2の実施例について説明する。図2は、本発明の第2の実施例の回路図である。図2を参照すると本実施例は、図1に示す第1の実施例におけるトランジスタ $Q23$ 、 $Q24$ 、 $Q46$ および $Q47$ を二つのトランジスタ $Q23/Q24$ でまとめ、簡略化したものである。トランジスタ $Q23/Q24$ は、コモンモードフィードバック回路の二つの差動対の和電流が流れるトランジスタ $Q43$ とカレントミラー構成となっている。本実施例においても第1の実施例と同様に、各接続点が寄生容量の影響を受けない低インピーダンスで構成されている。

【0020】図3に、本実施例による全差動増幅器と図4に示す従来の技術による全差動増幅器とについて、位相特性と振幅特性 (ゲイン) とをスパイス (SPIC

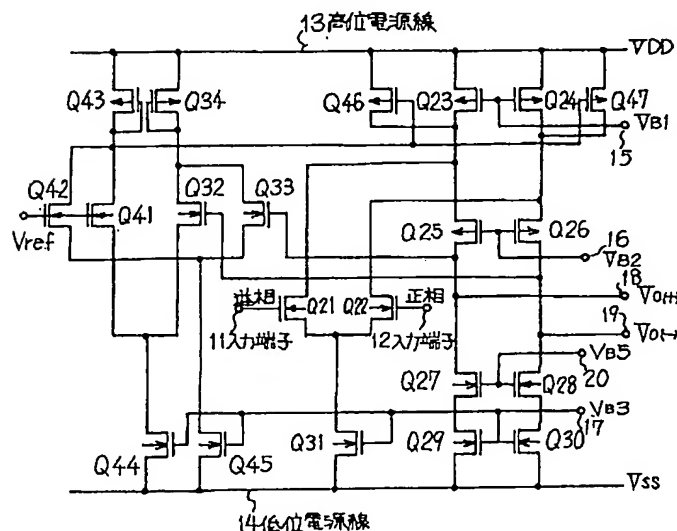
7

E: Simulation Program with Integrated Circuit Emphasis) によってシミュレートした結果を示す。図3において、縦軸は位相及びゲインを示し横軸は周波数を示す。又、実線は位相特性を二点鎖線は振幅特性を表わし、いずれも上側の曲線が本実施例に対するものであり、下側の曲線が従来の全差動増幅器の特性を示す。図3を参照すると、本実施例では $30 \sim 40^\circ$ 程度の位相マージンが得られているのに対して、同じ負荷容量を用いた従来の全差動増幅器では位相マージンが殆ど 0° である。すなわち、位相マージンが数 $^\circ$ 程度では安定な回路とはいえないことから、従来の増幅器では動作を安定化させるために負荷容量を増加させざるを得なかったが、本実施例にはその必要がなく、従って、高速動作に適した f_c の高い全差動増幅器であるといえる。

【0021】

【発明の効果】以上説明したように本発明の全差動増幅器では、電流モードでの加算によりコモンモード出力電位を検出し、電流モードでコアンプへフィードバックしている。すなわち、二つの差動対とカレントミラーとによりコモンモードフィードバック回路を構成している。従って、コモンモードフィードバック回路の各接続点が低インピーダンス化され、寄生容量の影響を受けず、寄生容量によって生じる高次の極が高い周波数へ移動するので、低負荷容量によって出来る一次の極で十分な位相マージンが得られる。

【図1】



15, 16, 17, 20 電圧端子
18, 19 出力端子

8

【0022】このことにより、本発明によれば、従来のコアンプの位相マージンが十分であったのにもこわらずコモンモードフィードバック回路での位相マージンをかせぐために負荷容量を増加させざるを得ず高速性を犠牲にしていたのに対して、負荷容量を増加させることなく安定化がはかれるので、高速動作に適した高い f_c の全差動増幅器を提供することが出来る。

【図面の簡単な説明】

【図1】本発明の第1の実施例の回路図である。

【図2】本発明の第2の実施例の回路図である。

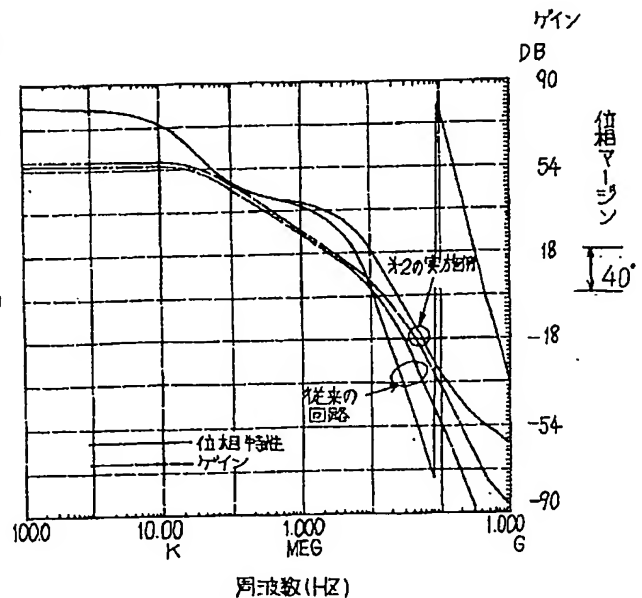
【図3】本発明の第2の実施例および従来の技術による全差動増幅器の位相特性および振幅特性を比較して示す図である。

【図4】従来の技術による全差動増幅器の一例の回路図である。

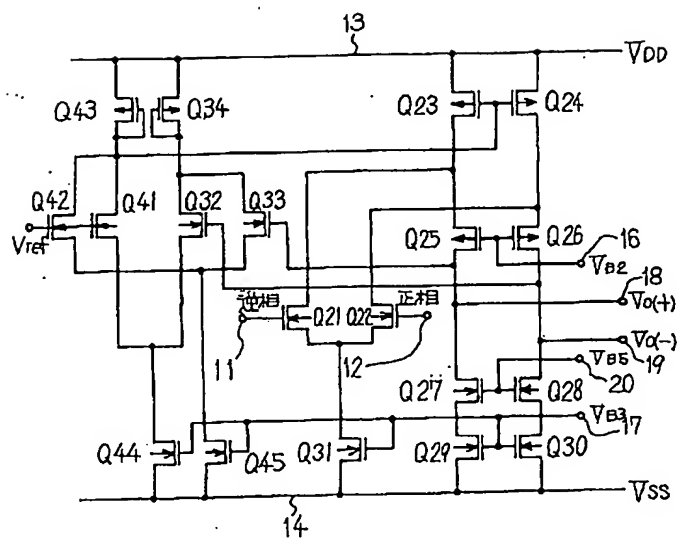
【符号の説明】

- 11, 12 入力端子
- 13 高位電源線
- 14 低位電源線
- 15, 16, 17, 20 電圧端子
- 18, 19 出力端子
- 100, 200 電圧制御電流回路
- 300 和電流伝達回路
- 400 基準電流伝達回路
- 500 コアンプ

【図3】



【図 2】



【図 4】

